1. **Какие устройства составляют системное ядро ПК?**

Ядро ПК образуют процессор, основная память (ОП), состоящая из оперативной памяти и постоянного запоминающего устройства (ПЗУ), и видеопамять.

2. **При инициализации ПК информация о проверке каких устройств выводится на экран дисплея?**Запускается программа самотестирования (POST, Power-On Self Test). Программа POST выполняет тестирование процессора, оперативной памяти, чипсета, видеосистемы, накопителей, системы управления питанием, клавиатуры, портов LPT и COM (а также подключенных к ним устройств), других компонентов компьютера. Результаты тестирования выводятся на экран. Если во время прохождения процедуры POST была обнаружена ошибка, на экран монитора также должно выводиться соответствующее сообщение, сопровождаемое звуковым сигналом (не всегда).

3. **С какого процессора семейства х86 количественные изменения в архитектуре кристалла перешли в качественные?**

Intel-286

4. **Какими регистрами дополнилась программная модель ЦП 80286?**

- GDTR

- LDTR

- IDTR

- MSW

- TR

5. **Что такое селектор? С чем связано его появление? Какова структура селектора?**

Сегментная адресация памяти — схема логической адресации памяти компьютера в архитектуре x86. Линейный адрес конкретной ячейки памяти, который в некоторых режимах работы процессора будет совпадать с физическим адресом, делится на две части: сегмент и смещение. Сегментом называется условно выделенная область адресного пространства определённого размера, а смещением — адрес ячейки памяти относительно начала сегмента. Базой сегмента называется линейный адрес (адрес относительно всего объёма памяти), который указывает на начало сегмента в адресном пространстве. В результате получается сегментный (логический) адрес, который соответствует линейному адресу база сегмента+смещение и который выставляется процессором на шину адреса.

Селектором называется число (в x86 — 16-битное), однозначно определяющее сегмент. Селектор загружается в сегментные регистры.

Селектор содержит индекс дескриптора, определяющий номер записи в дескрипторной таблице, бит TI, указывающий, к какой дескрипторной таблице производится обращение LDT (TI = 1) или GDT (TI = 0), а также запрашиваемые права доступа к сегменту – RPL.

6. **Как формируется линейный адрес в режиме реальных адресов и в режиме системного управления?**

Режим реального адреса

В режиме реального адреса используется упрощенная схема формирования линейного

адреса. В этом случае базовый адрес сегмента берется из сегментного регистра. Значение в сегментном регистре представляет собой биты 4-19 базового адреса сегмента. Из этого следует, что сегменты в этих режимах выровнены по 16-байтной границе и все сегменты начинаются в пределах нижнего мегабайта линейного адресного пространства. Действительный физический адрес получается умножением на 16 базового адреса сегмента. Предел для всех сегментов одинаков. В режиме реального адреса предел сегмента - 64 Кбайт

Режим системного управления

Режим системного управления предназначен для выполнения некоторых действий с возможностью их полной изоляции от прикладного программного обеспечения и даже операционной системы. Переход в этот режим возможен только аппаратно. Когда процессор находится в режиме SMM, он выставляет сигнал SMIACT#. Этот сигнал может служить для включения выделенной области физической памяти (System Management RAM), так что память SMRAM можно сделать доступной только для этого режима. При входе в режим SMM процессор сохраняет свой контекст в SMRAM (контекст сопроцессора не сохраняется) по адресу SMM Base и передает управление процедуре, называемой обработчиком System Management Interrupt, по адресу SMM Base+8000h (по умолчанию SMM Base содержит значение 30000h). Состояние процессора в этот момент точно определено: EFLAGS обнулен (кроме зарезервированных битов), сегментные регистры содержат селектор 0000, базы сегментов установлены в 00000000, пределы - 0FFFFFFFFh.

Следует отметить, что в режиме SMM не предусмотрена работа с прерываниями и особыми случаями: прерывания по IRQ и SMI# замаскированы, пошаговые ловушки и точки останова отключены, обработка прерывания по NMI откладывается до выхода из режима SMM. Если необходимо обеспечить работу с прерываниями или особыми случаями, то надо инициализировать IDT и разрешить прерывания, выставив флаг IF в регистре EFLAGS. Прерывания по NMI будут разблокированы автоматически после первой же команды IRET.

При возврате из SMM (по инструкции RSM) процессор восстанавливает свой контекст из SMRAM. Обработчик может программно внести изменения в образ контекста процессора, тогда процессор перейдет не в то состояние, в котором произошло SMI. Если SMI было получено во время выполнения инструкции HLT, то дальнейшие действия при выходе из SMM определяются значением поля "Auto HALT Restart": процессор может снова вернуться к инструкции останова или перейти к выполнению следующей команды. Если SMI произошло при выполнении инструкции ввода-вывода, то в зависимости от значения поля "I/O Instruction Restart" возможен рестарт инструкции ввода вывода.

Эти особенности режима системного управления позволяют использовать его для реализации системы управления энергосбережением компьютера или функций безопасности и контроля доступа.

7. **Что такое дескриптор? Какова структура дескриптора?**

Дескриптор - это 8-байтная единица описательной информации, распознаваемая устройством управления памятью в защищенном режиме, хранящаяся в дескрипторной таблице. Дескриптор сегмента содержит базовый адрес описываемого сегмента, предел (размер) сегмента и права доступа к сегменту.

8. **Как формируется линейный адрес в защищенном режиме?**

По указанному в селекторе номеру записи в соответствующей (бит TI селектора) дескрипторной таблице определяется дескриптор сегмента. Дескриптор сегмента содержит базовый адрес описываемого сегмента, предел (размер) сегмента и права доступа к сегменту. В защищенном режиме сегменты могут начинаться с любого линейного адреса. Для определения физического адреса базовый адрес сегмента суммируется со смещением.

9. **Что находится в регистрах GDTR, IDTR и LDTR?**

GDTR - 40-разрядный регистр определяет размер и положение глобальной дескрипторной таблицы;

LDTR - 16-разрядный регистр определяет базовый адрес локальной дескрипторной таблицы;

IDTR - 40-разрядный регистр определяет начало и размер таблицы векторов прерываний;

Регистры GDTR и IDTR - содержат базовый адрес и предел дескрипторной таблицы. Программно-доступная часть регистра LDTR - 16 бит, которые являются селектором LDT

10. **Каково содержимое регистра TR? Для чего он нужен?**

TR - 16-разрядный регистр содержит селектор сегмента состояния задачи, используется для многозадачности.